

特约专栏

## 碲化铋基热电薄膜与器件研究进展

胡少雄<sup>1,2</sup>, 周 曼<sup>3</sup>, 任超杰<sup>3</sup>, 张博涵<sup>1</sup>,  
祝 薇<sup>2,3</sup>, 赵未昀<sup>2</sup>, 邓 元<sup>2,3</sup>

(1. 北京航空航天大学材料科学与工程学院, 北京 100191)

(2. 北京航空航天大学杭州创新研究院 浙江省智能传感材料与芯片集成技术重点实验室, 浙江 杭州 310051)

(3. 北京航空航天大学 前沿科学技术创新研究院, 北京 100191)

**摘 要:** 随着微电子技术的快速进步, 电子器件不断朝着高性能、微型化、低功耗、自供电的方向发展。在器件性能和集成度不断提高的同时, 小空间的快速散热问题成为制约其发展的关键瓶颈之一。热电薄膜器件是一种以热电薄膜材料为核心的半导体能源转换器件, 具有全固态、无噪音、免维护、体积小等优点, 在高热流密度电子元器件快速散热和低功耗电子器件自供电等领域具有迫切的应用需求和广阔的市场前景。Bi<sub>2</sub>Te<sub>3</sub> 基热电材料是目前室温条件下性能最好的热电材料, 以 Bi<sub>2</sub>Te<sub>3</sub> 基热电薄膜材料与器件为核心, 重点介绍了常用热电薄膜材料的制备与性能优化方法, 热电薄膜器件的结构设计、制备工艺以及界面优化手段, 并对热电薄膜器件在热电发电和热电制冷领域的应用做了简要介绍。

**关键词:** Bi<sub>2</sub>Te<sub>3</sub>; 薄膜; 热电材料; 热电器件; 制备方法; 性能优化

**中图分类号:** TN37 **文献标识码:** A **文章编号:** 1674-3962(2022)12-1005-13

**引用格式:** 胡少雄, 周曼, 任超杰, 等. 碲化铋基热电薄膜与器件研究进展[J]. 中国材料进展, 2022, 41(12): 1005-1017.

HU S X, ZHOU M, REN C J, *et al.* Recent Progress of Bi<sub>2</sub>Te<sub>3</sub>-Based Thermoelectric Thin Film Materials and Devices[J]. Materials China, 2022, 41(12): 1005-1017.

## Recent Progress of Bi<sub>2</sub>Te<sub>3</sub>-Based Thermoelectric Thin Film Materials and Devices

HU Shaoxiong<sup>1,2</sup>, ZHOU Man<sup>3</sup>, REN Chaojie<sup>3</sup>, ZHANG Bohan<sup>1</sup>,  
ZHU Wei<sup>2,3</sup>, ZHAO WeiYun<sup>2</sup>, DENG Yuan<sup>2,3</sup>

(1. School of Materials Science and Engineering, Beihang University, Beijing 100191, China)

(2. Key Laboratory of Intelligent Sensing Materials and Chip Integration Technology of Zhejiang Province, Hangzhou Innovation Institute of Beihang University, Hangzhou 310051, China)

(3. Research Institute for Frontier Science, Beihang University, Beijing 100191, China)

**Abstract:** With the rapid development of microelectronic technology, electronic devices are constantly developing towards high performance, miniaturization, low power consumption and self-power supply. While the device performance and integration level continue to improve, the problem of rapid heat dissipation in small space has become a key bottleneck restricting its development. Thin film thermoelectric device is a kind of semiconductor energy conversion device, which has the advantages of all-solid-state, no noise, maintenance-free and small size. It is suitable for the development trend of electronic devices in the future, and has broad application prospects in the field of self-powered electronic devices with low power consumption and rapid cooling of electronic components with high heat flux density. Bi<sub>2</sub>Te<sub>3</sub>-based thermoelectric materials are currently the best thermoelectric materials at room temperature. In this paper, we focus on Bi<sub>2</sub>Te<sub>3</sub>-based thermoelectric thin film materials and devices. And the preparation and performance optimization methods of the thin-film thermoelectric materials will be introduced first. Subsequently, the thermoelectric thin film device structure design, fabrication processes and interface optimization approaches will be summarized. At last, the applications of

收稿日期: 2022-08-09 修回日期: 2022-10-20

基金项目: 科技部重点研发计划项目(2018YFA0702100); 浙江省重点研发计划项目(2021C01026, 2021C05002); 浙江省领军型创新创业团队项目(2020R01007)

第一作者: 胡少雄, 男, 1990 年生, 博士研究生

通讯作者: 邓 元, 男, 1972 年生, 教授, 博士生导师,

Email: dengyuan@buaa.edu.cn

DOI: 10.7502/j.issn.1674-3962.202208006

thermoelectric thin film devices in thermoelectric power generation and thermoelectric refrigeration will be reviewed.

**Key words:**  $\text{Bi}_2\text{Te}_3$ ; thin film; thermoelectric materials; thermoelectric device; preparation method; performance optimization

## 1 前言

在物联网、大数据、可穿戴设备等领域蓬勃发展的今天, 尽管各类电子元器件的功耗在不断降低, 但由于其数量庞大且仍处于爆发式增长阶段, 因而需要消耗大量的人力成本通过更换电池的方式为这些低功耗电子元器件进行供能。与此同时, 微电子技术的快速发展使得各类电子元器件的性能和集成度在不断提高, 发热量也在不断增大, 因此小空间的快速散热问题成为制约其发展的关键瓶颈。热电器件是一种以热电材料为核心的能源转换器件, 它既可以基于塞贝克(Seebeck)效应将器件两端的温差转换为电能用于发电, 又可以基于帕尔贴(Peltier)效应通过外加电场将器件一端的热能转移至另一端从而实现快速制冷与控温。热电器件具有体积小、全固态、寿命长、免维护、无污染等优点, 被认为是物联网传感节点、可穿戴设备实现自供电的解决方案之一, 同时也是小空间快速制冷的有效方式, 受到了国内外研究人员的广泛关注。

热电材料的性能可以用一个无量纲的物理量——热电优值( $zT$  值)来评价,  $zT$  值可用式  $zT = S^2 \sigma T / \kappa$  表示, 其中  $S$  为材料的 Seebeck 系数,  $\sigma$  为电导率,  $\kappa$  为热导率,  $T$  为绝对温度。从  $zT$  值的表达式可以看出, 要想提高材料的热电性能, 可以分别通过提高材料的 Seebeck 系数和电导率, 或降低热导率来实现, 但上述 3 个物理量相互耦合, 如图 1 所示, 无法独立调控<sup>[1]</sup>。因此, 尽管早在 19 世纪初, 德国科学家 Seebeck、法国科学家 Peltier 和英国科学家 Thomson 就先后发现了以他们名字命名的 3 大热电物理效应, 且在至今 200 多年的热电发展历程中也先后涌现出  $\text{Bi}_2\text{Te}_3$ <sup>[2]</sup>、 $\text{PbTe}$ <sup>[3]</sup>、方钴矿<sup>[4]</sup>、half-Heusler 合金<sup>[5]</sup>等优秀的热电材料体系和有效的热电性能优化策略<sup>[6-8]</sup>, 但在当前室温条件下商用热电材料的  $zT$  值普遍仍在 1.0 左右, 较低的转换效率使得热电技术的应用场景十分受限。根据计算, 要想使热电器件的转换效率接近传统发电机, 热电材料的  $zT$  值需达到 3.0 以上, 才有可能在实际场景中进行大规模应用。

1993 年, Hicks 和 Dresselhaus<sup>[9, 10]</sup>通过计算发现将材料进行低维化, 特别是制备成量子井超晶格结构, 可大幅提高热电材料的  $zT$  值。随后, Venkatasubramanian 等<sup>[11]</sup>制备的纳米结构  $\text{Bi}_2\text{Te}_3/\text{Sb}_2\text{Te}_3$  超晶格薄膜在 300 K 时  $zT$  值达到了 2.4, 这有力证明了热电材料薄膜化是一种有效提升热电材料性能的方法。一方面, 相比于传统

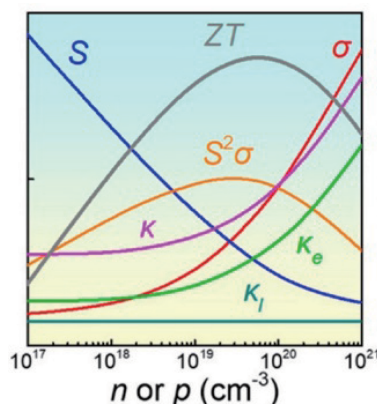


图 1 电导率  $\sigma$ 、Seebeck 系数  $S$ 、功率因子  $S^2\sigma$ 、热导率  $\kappa$ 、电子热导率  $\kappa_e$ 、晶格热导率  $\kappa_l$  和热电优值  $zT$  等参数之间的关系<sup>[1]</sup>

Fig. 1 The relationship between electrical conductivity  $\sigma$ , Seebeck coefficient  $S$ , power factor  $S^2\sigma$ , thermal conductivity  $\kappa$ , electron thermal conductivity  $\kappa_e$ , lattice thermal conductivity  $\kappa_l$  and thermoelectric figure of merit  $zT$ <sup>[1]</sup>

块体热电材料, 热电薄膜材料的纳米结构含有更多的晶界, 这些界面缺陷能够选择性地散射波长与之相当的声子, 因此可有效降低材料的晶格热导率, 提高材料的热电性能。另一方面, 热电材料薄膜化能够产生量子限制效应, 使得电子在被压缩维度的运动受到限制<sup>[12]</sup>, 在费米能级附近, 与 Seebeck 系数呈正相关的电子态密度会增大, 使得热电薄膜材料的 Seebeck 系数相比块体材料显著增大。此外, 基于热电薄膜材料制备的微型热电器件具有体积小、制冷密度高等优势, 可以实现高密度阵列集成, 因此十分契合物联网、可穿戴设备、微电子芯片领域对微能源供应和小空间快速制冷的迫切需求, 也更符合未来电子信息领域高性能、微型化、低功耗的发展趋势。

$\text{Bi}_2\text{Te}_3$  基热电材料是当前室温条件下性能最好的热电材料, 也是目前商业化应用最成功的热电材料。本文以  $\text{Bi}_2\text{Te}_3$  基热电薄膜材料与器件为核心, 对热电薄膜的制备方法与性能优化, 热电薄膜器件的设计制备与界面优化以及热电薄膜器件在微发电和快速制冷领域的应用等几个方面进行了介绍。

## 2 $\text{Bi}_2\text{Te}_3$ 基热电薄膜的制备及性能优化

常用的  $\text{Bi}_2\text{Te}_3$  基热电薄膜材料制备方法主要可以分为物理气相沉积 (physical vapor deposition, PVD) 和化学

气相沉积 (chemical vapor deposition, CVD) 两类。其中, PVD 是指在高真空条件下, 通过物理方法使固态的原材料转变为气态后沉积在基底上成膜, 最常用的 PVD 制备方法主要有磁控溅射 (magnetron sputtering, MS) 法、真空蒸发 (vacuum evaporation, VE) 法、分子束外延 (molecular beam epitaxy, MBE) 法、脉冲激光沉积 (pulsed laser deposition, PLD) 法等。CVD 则是指利用含有成膜元素的气态或蒸汽态物质, 在衬底表面通过化学反应生成薄膜的制备方法, 常用的有常压化学气相沉积 (atmospheric pressure chemical vapor deposition, APCVD)、低压化学气相沉积 (low pressure chemical vapor deposition, LPCVD) 等。本节将主要对上述制备方法的成膜原理、代表性研究成果以及不同制备方法的优缺点进行介绍。

## 2.1 磁控溅射法

MS 是指电子在电场的作用下, 与腔体中的气氛原子

发生碰撞, 使气氛原子电离后加速撞击靶材发生溅射, 并最终在基底表面沉积成膜。MS 适用于金属、金属氧化物、半导体等绝大多数材料体系, 是目前最常用的薄膜制备手段之一。

在 MS 制备热电薄膜的过程中, 溅射功率、溅射气压和基底温度等参数会直接影响薄膜的微观结构, 进而影响薄膜材料的热电性能, 因此通常会通过调控溅射参数来优化薄膜的热电性能。例如, Kong 等<sup>[13]</sup>使用 MS 在聚酰亚胺衬底上制备  $\text{Bi}_2\text{Te}_3$  热电薄膜, 在其它参数保持不变的情况下, 通过调控溅射气压, 薄膜从 (015) 取向的柱状生长逐渐转变为 (001) 取向的层状生长, 同时材料的晶粒减小, 晶界随之增多, 材料的热电性能得到大幅提升, 最终制备出的层状  $\text{Bi}_2\text{Te}_3$  薄膜室温条件下最高功率因子可达  $21.7 \mu\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-2}$ , 如图 2 所示。Tan 等<sup>[14]</sup>采用 MS 工艺在  $\text{SiO}_2$  衬底上制备了纳米柱状的  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$

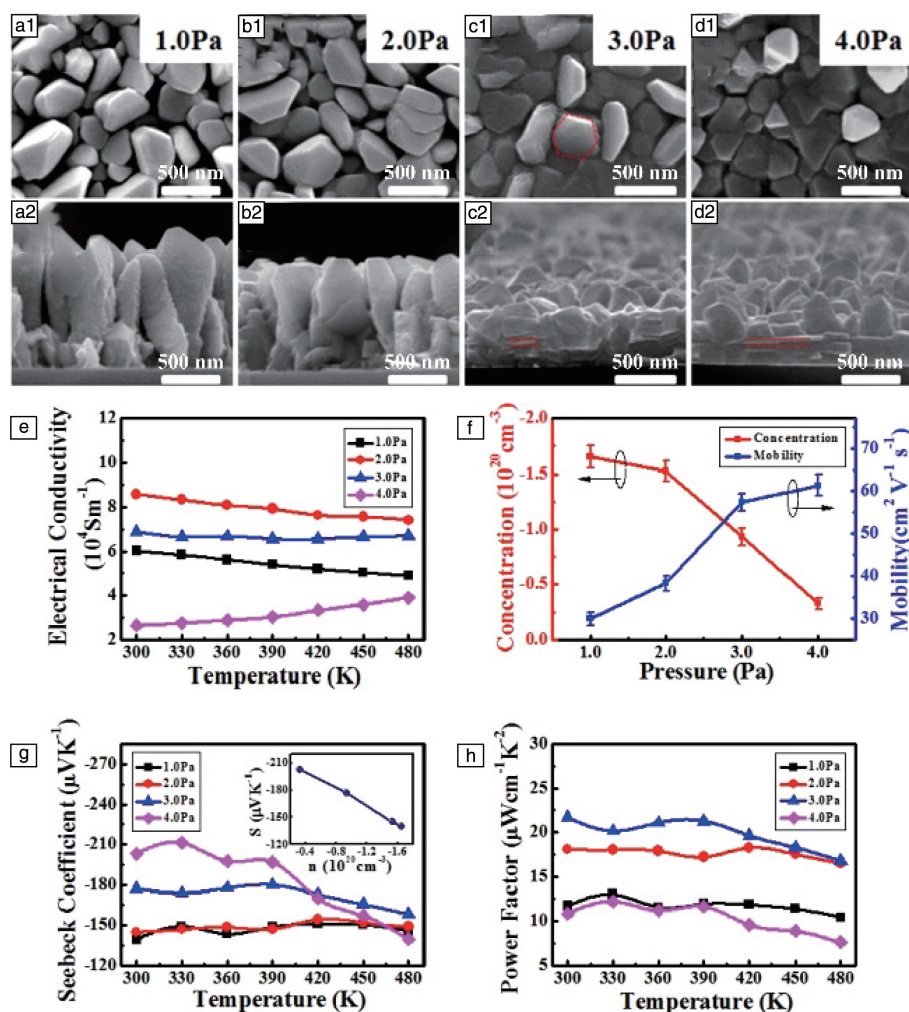


图 2 采用磁控溅射法在不同溅射气压下制备的  $\text{Bi}_2\text{Te}_3$  薄膜微观结构与热电性能<sup>[13]</sup>: (a~d)  $\text{Bi}_2\text{Te}_3$  薄膜表面与截面 SEM 照片, (e~h)  $\text{Bi}_2\text{Te}_3$  薄膜热电性能

Fig. 2 Microstructure and thermoelectric properties of  $\text{Bi}_2\text{Te}_3$  thin films deposited at diverse pressures by magnetron sputtering method<sup>[13]</sup>: (a~d) surface and cross-sectional SEM images of  $\text{Bi}_2\text{Te}_3$  thin films, (e~h) thermoelectric properties of  $\text{Bi}_2\text{Te}_3$  thin films



热电薄膜,并系统地研究了沉积温度对薄膜微观结构及热电性能的影响。研究发现,随着沉积温度的升高,薄膜在生长过程中会产生明显的织构效应,从而显著提高载流子迁移率和电导率,此外合适的沉积温度可以诱导 Bi/Sb 和 Te 之间的反位掺杂,释放更多的自由电子,并中和空穴载流子,引起载流子浓度降低,使载流子浓度更接近最优值,2 种因素的共同作用使得热电材料的性能大幅提高,最终制备出的  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  薄膜在室温条件下功率因子高达  $45.3 \mu\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-2}$ 。除了通过调控微观形貌来优化薄膜热电性能外,通过多靶共溅射的方式调控成分也是 MS 优化薄膜热电性能的常用方式。例如,Shang 等<sup>[15]</sup>采用 MS 工艺系统研究了 Te 含量和沉积温度对薄膜微观结构和热电性能的影响。随着沉积温度的升高, $\text{Bi}_2\text{Te}_3$  薄膜的结晶度提高,晶粒尺寸增大,但较高的沉积温度会使 Te 元素蒸发,造成  $\text{Bi}_2\text{Te}_3$  组成偏差,使晶体结构存在缺陷和错位。通过双靶共溅射的方式补充 Te 含量会对晶粒生长取向有较大影响,使薄膜从不规则的六边形晶粒转变为片层状晶粒,同时影响其载流子浓度和迁移率。最终,在相同的沉积温度下通过共溅射补充 Te 含量制备出的  $\text{Bi}_2\text{Te}_3$  薄膜的 Seebeck 系数和功率因子均高于仅通过单靶溅射制备的  $\text{Bi}_2\text{Te}_3$  薄膜。由于 MS 制备热电薄膜时沉积温度一般较低,会导致薄膜缺陷多、结晶性差,影响材料的热电性能,因此通常需要通过退火等手段进行优化。例如,Cao 等<sup>[16]</sup>针对 n 型  $\text{Bi}_2\text{Te}_3$  薄膜材料随温度变化稳定性差的问题,采用 MS 通过调控沉积温度和沉积气压,制备出不同择优取向的  $\text{Bi}_2\text{Se}_{0.5}\text{Te}_{2.5}$  薄膜。进一步经过退火处理后,薄膜变得更加致密,结晶性更好,从而在更大的使用温度范围内具有更好的稳定性。

采用 MS 制备  $\text{Bi}_2\text{Te}_3$  基热电薄膜具有沉积温度低、薄膜生长均匀且微观结构和成分可控性强等优点,但由于制备过程中晶体生长受热力学和动力学等因素的影响和限制,通常会导致较多的晶体缺陷,因此需结合后续的优化工艺来提高薄膜的综合性能。

## 2.2 真空蒸发法

VE 是在高真空环境下通过加热蒸发源,使该蒸发源汽化或升华,最终在基底表面凝聚形核生长成固相薄膜的简便 PVD 方法,主要用于熔点低于  $1500^\circ\text{C}$  的金属、半导体等材料的蒸镀成膜。

真空蒸发过程中的过饱和度决定了材料的纳米结构形貌,可通过调节沉积速率来实现。2009 年,Deng 等<sup>[17]</sup>首次报道了一种使用 VE 且无需模板即可制备出有序  $\text{Bi}_2\text{Te}_3$  纳米线的工艺,研究发现,过饱和度在控制纳米结构的形貌方面起着重要的作用,彼此平行、均匀分布的纳米线阵列具有良好的载流子输运性能,制备出的

薄膜 Seebeck 系数可达到  $-150 \mu\text{V} \cdot \text{K}^{-1}$ 。2018 年,Tan 等<sup>[18]</sup>使用真空热蒸发法通过调控衬底倾斜角度,制备了一种  $45^\circ$  倾斜且排列紧密的  $(\text{Sb},\text{Bi})_2\text{Te}_3$  纳米线阵列。这种特殊的微观结构在强烈散射声子的同时,还可以为载流子输运提供良好的通道,使得薄膜的  $zT$  值在室温下高达 1.72,且在  $200^\circ\text{C}$  条件下,Seebeck 系数达到  $255 \mu\text{V} \cdot \text{K}^{-1}$ 。为实现热电薄膜的电声解耦,Tan 等<sup>[19]</sup>采用外加电场辅助真空热蒸发沉积技术,在玻璃表面生长了具有纳米线阵列的  $\text{Bi}_2\text{Te}_{2.7}\text{Se}_{0.3}$  薄膜。研究发现,随着外加电场的增加,薄膜生长取向逐渐由 (015) 方向转变为 (015) 和 (0111) 方向,如图 3 所示。通过调控外加电场可以精确控制薄膜的各向异性,形成晶界角,引入能量过滤效应,进而产生独特的热电性能各向异性,提高材料的  $zT$  值,最终在室温下薄膜的  $zT$  值高达 1.6。随后,Tan 等<sup>[20]</sup>在热蒸发沉积薄膜后对薄膜进行退火处理,成功制备了晶态和非晶态复合的纳米柱状  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  薄膜,在室温下该薄膜  $zT$  值达到 1.5。与退火处理前相比,薄膜性能的改善归因于非晶态的局部无序结构可增强声子散射,有效降低晶格热导率,同时高结晶度区域可削弱载流子散射效应,显著提高薄膜的电导率,这种晶态和非晶态复合的结构为改善热电材料性能提供了新的策略。

VE 具有工艺简单、薄膜沉积速率可控以及外源污染较低等特点,是实现大面积薄膜沉积最具潜力的方法,有望制备出热电性能优异的薄膜材料。但此方法生长的薄膜与基底之间的结合力较差,易造成膜层脱落,因此不适宜多层膜的制备。

## 2.3 分子束外延法

MBE 是在超高真空环境下通过加热使靶材蒸发,蒸发出的具有一定热能的原子或分子束流直接喷射到基底上,从而结晶生长出薄膜或超晶格结构的方法。MBE 是制备单原子层尺度薄膜最适宜的方法,主要用来制备 GaAs、InP、GaN 等半导体异质结,也有科研人员用这种方法制备  $\text{Bi}_2\text{Te}_3$  等热电材料薄膜。

缺陷调控是优化  $\text{Bi}_2\text{Te}_3$  基材料电性能的常用方法,相关研究已经证明, $\text{Bi}_2\text{Te}_3$  中的电子输运主要由点缺陷主导,而本征缺陷取决于生长过程中各组分的原子浓度<sup>[21,22]</sup>。Zhang 等<sup>[23]</sup>使用 MBE 工艺制备了具有不同衬底温度和 Te/Bi 通量比的 n 型富 Bi 单晶  $\text{Bi}_2\text{Te}_3$  薄膜,系统研究了过量的 Bi 对  $\text{Bi}_2\text{Te}_3$  薄膜热电性能的影响。研究发现,当 Bi 轻微过量时,过量的 Bi 会取代 Te 原子,形成 p 型的  $\text{Bi}_{\text{Te}}$  反位缺陷。继续增加 Bi 的含量,p 型  $\text{Bi}_{\text{Te}}$  反位缺陷的密度会相应增加,当 Bi 含量超过掺杂限度时,过量的 Bi 会进入范德华间隙形成  $\text{Bi}_2$  平面缺陷,这是一种很好的电子供体,可以使富 Bi 的  $\text{Bi}_2\text{Te}_3$  薄膜电子



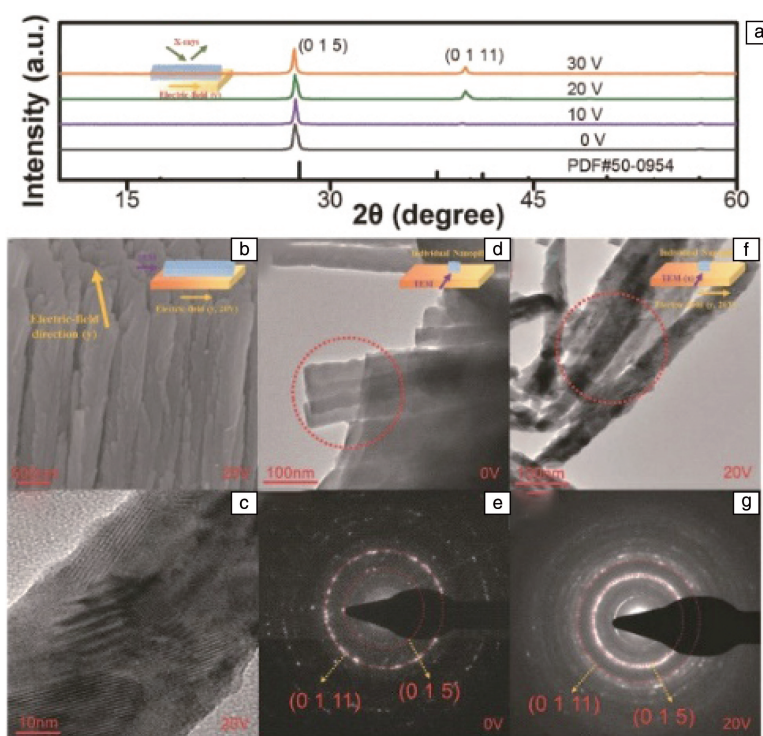


图 3 外加电场辅助热蒸发沉积技术制备的  $\text{Bi}_2\text{Te}_{2.7}\text{Se}_{0.3}$  薄膜性能表征<sup>[19]</sup>: (a) XRD 图谱, (b, c) 20 V 外加电场下沉积的薄膜截面 SEM 照片和 HRTEM 照片, (d, e) 无电场辅助沉积的薄膜 TEM 照片和 SAED 图案, (f, g) 20 V 外加电场下沉积的薄膜 TEM 照片和 SAED 图案

Fig. 3 Characterization of  $\text{Bi}_2\text{Te}_{2.7}\text{Se}_{0.3}$  thin films prepared by external field-assisted thermal evaporation-deposition technique<sup>[19]</sup>: (a) XRD patterns, (b, c) side-view SEM and HRTEM images of the film deposited under 20 V electric field, (d, e) TEM image and the corresponding SAED pattern of the nanopillars deposited under no electric field, (f, g) TEM image and the corresponding SAED pattern of the nanopillars arrays deposited under 20 V electric field

密度提高一个数量级以上。得益于电子密度的显著提高和载流子本征激发的抑制, 该薄膜在 450 K 时最大功率因子可达  $14 \mu\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-2}$ 。Zhang 等<sup>[24]</sup> 还采用 MBE 系统研究了沉积温度、薄膜厚度以及成分等因素对  $\text{Bi}_2\text{Te}_3$  薄膜生长过程中产生的缺陷类型和缺陷密度的影响。研究表明, 薄膜在生长过程中会由初期带负电荷的空位缺陷  $\text{V}_{\text{Te}}^{\cdot\cdot}$  逐渐转变为带正电荷的反位缺陷  $\text{Bi}_{\text{Te}}^{\cdot}$ , 且从薄膜表面到薄膜内部,  $\text{V}_{\text{Te}}^{\cdot\cdot}$  空位缺陷的密度逐渐降低, 而  $\text{Bi}_{\text{Te}}^{\cdot}$  反位缺陷的密度逐渐升高, 沿薄膜生长方向整体呈梯度分布, 从而使得电子密度随薄膜厚度的增加而递减。同时, 衬底温度的升高会使其原位退火效应更加显著, 产生本征激发, 从而降低电子输运特性。此外, Zhang 等<sup>[25]</sup> 还使用 MBE 实现了对  $\text{Bi}_2\text{Te}_3$  薄膜生长过程中  $\text{V}_{\text{Te}}^{\cdot\cdot}$  空位、 $\text{Te}_{\text{Bi}}^{\cdot}$  和  $\text{Bi}_{\text{Te}}^{\cdot}$  反位等不同点缺陷类型的独立调控 (图 4), 并发现,  $\text{Bi}_{\text{Te}}^{\cdot}$  反位缺陷的存在会导致导带载流子有效质量的降低, 同时在薄膜生长过程中,  $\text{V}_{\text{Te}}^{\cdot\cdot}$  空位缺陷向  $\text{Bi}_{\text{Te}}^{\cdot}$  反位缺陷的转变会在沿薄膜厚度的方向产生电场, 不利于载流子迁移率的提高, 这项研究对进一步

完善  $\text{Bi}_2\text{Te}_3$  基热电材料的缺陷工程和电输运优化理论提供了重要的指导意义。

相比于其他薄膜制备方法, 采用 MBE 法可以实现对原子层厚度的精确控制, 同时具有薄膜组分精确可调、沉积温度低、薄膜质量好的优点, 但由于这种方法制备薄膜时生长速度慢, 且使用成本极其昂贵, 因此在制备  $\text{Bi}_2\text{Te}_3$  热电薄膜时使用相对较少。

#### 2.4 脉冲激光沉积法

PLD 是利用高能量密度脉冲辐射冲击靶材, 激光与材料之间发生相互作用, 靶表面发生蒸发电离, 产生含有靶原子或离子的等离子体, 最终等离子体在电场作用下沉积于基底表面成膜, 目前常用于  $\text{ZnS}$ 、 $\text{MgO}$ 、 $\text{MoS}_2$  及  $\text{Bi-Sb-Te}$  合金等材料的制备。

采用 PLD 法制备  $\text{Bi}_2\text{Te}_3$  薄膜时, 基底温度、沉积气压等参数同样会影响薄膜的微观结构, 进而影响薄膜的热电性能。例如, Chen 等<sup>[26]</sup> 通过调控基底温度和沉积气压, 获得了具有介孔结构的  $\text{Bi}_x\text{Sb}_{2-x}\text{Te}_3$  薄膜。研究发现, 高的沉积气压有利于多孔结构的形成, 而高的沉积温度

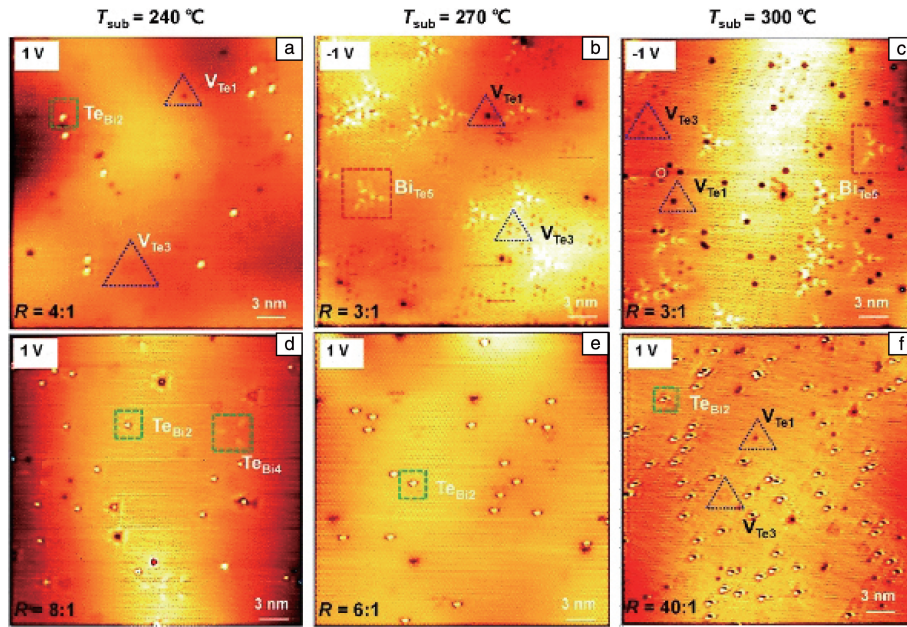


图 4 采用分子束外延法在不同衬底温度和 Te/Bi 通量比条件下制备的  $\text{Bi}_2\text{Te}_3$  薄膜扫描隧道显微镜照片 ( $30\text{ nm} \times 30\text{ nm}$ )<sup>[25]</sup>: (a, d) 衬底温度  $240\text{ }^\circ\text{C}$ , Te/Bi 通量比 4:1 (上) 和 8:1 (下); (b, e) 衬底温度  $270\text{ }^\circ\text{C}$ , Te/Bi 通量比 3:1 (上) 和 6:1 (下); (c, f) 衬底温度  $300\text{ }^\circ\text{C}$ , Te/Bi 通量比 3:1 (上) 和 40:1 (下)

Fig. 4 STM images ( $30\text{ nm} \times 30\text{ nm}$ ) of  $\text{Bi}_2\text{Te}_3$  films grown at different substrate temperatures ( $T_{\text{sub}}$ ) and Te/Bi flux ratios ( $R$ ) by molecular beam epitaxy<sup>[25]</sup>: (a, d)  $T_{\text{sub}} = 240\text{ }^\circ\text{C}$ , with  $R = 4:1$  (top) and  $8:1$  (bottom); (b, e)  $T_{\text{sub}} = 270\text{ }^\circ\text{C}$ , with  $R = 3:1$  (top) and  $6:1$  (bottom); (c, f)  $T_{\text{sub}} = 300\text{ }^\circ\text{C}$ , with  $R = 3:1$  (top) and  $40:1$  (bottom)

会导致定向柱状结构的生长, 有利于载流子的输运。同时, 高温高压条件会促进  $\text{V}_{\text{Te}}$  空位缺陷的形成, 使得载流子浓度增大, 最终制备出的薄膜在  $773\text{ K}$  温度条件下功率因子最高可达到  $33\text{ }\mu\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-2}$ 。由于 PLD 直接制备的薄膜致密性较差, 因此需结合退火等后处理技术进行优化。Symeou 等<sup>[27]</sup> 使用 PLD 制备了  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  薄膜, 系统地研究了不同退火条件对薄膜热电性能的影响。随着退火温度 and 时间的增加, 晶粒逐渐增大, 同时退火

温度的升高会导致 Te 流失, 产生 Te 空位并诱导反位缺陷形成, 从而增强载流子散射效应, 使得制备出的薄膜在  $623\text{ K}$  温度条件下 Seebeck 系数提高到  $210\text{ }\mu\text{V} \cdot \text{K}^{-1}$ , 在  $380\text{ K}$  温度条件下功率因子最高达到  $37.5\text{ }\mu\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-2}$ 。薄膜载流子浓度是影响功率因子的关键指标, 而掺杂<sup>[28]</sup>和复合<sup>[29]</sup>是控制载流子浓度最有效、直接的方法。Wudil 等<sup>[30]</sup> 采用 PLD 法制备了  $\text{Cu}/\text{Ni}/\text{Bi}_2\text{Te}_{2.7}\text{Se}_{0.3}$  纳米复合薄膜, Cu 和 Ni 均以金属原子的形式存在于  $\text{Bi}_2\text{Te}_{2.7}\text{Se}_{0.3}$  的

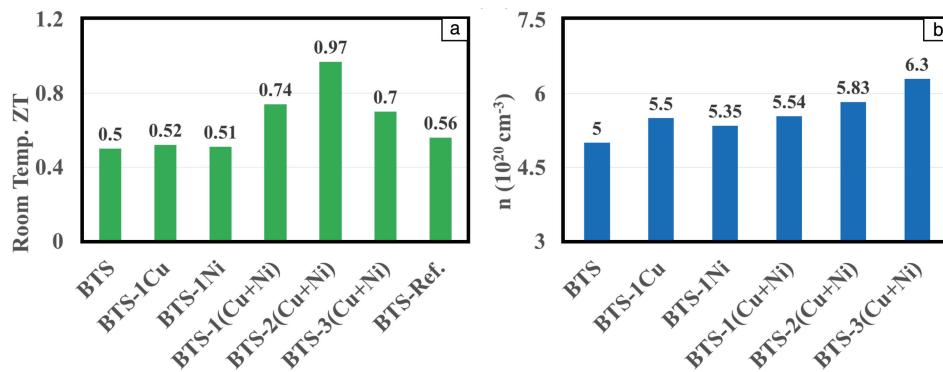


图 5 脉冲激光沉积法制备的  $\text{Cu}/\text{Ni}/\text{Bi}_2\text{Te}_{2.7}\text{Se}_{0.3}$  纳米复合薄膜性能表征<sup>[30]</sup>: (a) 室温下纳米复合薄膜的热电优值, (b) 纳米复合薄膜的载流子浓度

Fig. 5 Characterization of  $\text{Cu}/\text{Ni}/\text{Bi}_2\text{Te}_{2.7}\text{Se}_{0.3}$  nanocomposite films prepared by pulsed laser deposition method<sup>[30]</sup>: (a) room-temperature thermoelectric figure of merit of the thin film nanocomposites, (b) charge carrier concentration of the nanocomposite films

晶界处。如图 5 所示,随着 Cu 和 Ni 掺杂浓度的升高,薄膜呈现出更高的载流子浓度,且丰富的界面和晶界使能量过滤效应增强,Seebeck 系数和热导率同时得到改善。最终在最佳掺杂浓度下,薄膜的  $zT$  值可达 0.97。

PLD 具有沉积速率快、生长温度低、组分可控以及工艺设计性强等优势,能够实现超薄薄膜生长和多层膜沉积,是制备薄膜材料的常用方式。但 PLD 在制备薄膜过程中,激光与材料相互作用出现的相爆炸等效应会引起表面颗粒飞溅,导致薄膜质量降低。

## 2.5 化学气相沉积法

CVD 方法是近几十年发展起来的薄膜制备方法,主要用于制备氧化物、硫化物、III-V 和 II-IV 族化合物等无机材料体系。

超晶格结构具有散射声子并传输电子的优异特性,使用 CVD 法将薄膜制备成该结构可有效提升薄膜的热电性能。例如, Venkatasubramanian 等<sup>[11]</sup>发展了一种低温金属有机化合物化学气相沉积(metal organic chemical vapour deposition, MOCVD)技术,制备了具有超短周期超晶格结构的 p 型  $\text{Bi}_2\text{Te}_3/\text{Sb}_2\text{Te}_3$  薄膜,这种超短周期超晶格结构具有更高的面内载流子迁移率,且能显著降低晶格热导率,使得薄膜热电性能得到大幅提高,最终制备出的 p 型  $\text{Bi}_2\text{Te}_3/\text{Sb}_2\text{Te}_3$  薄膜在室温条件下  $zT$  值达到了 2.4。Bulman 等<sup>[31]</sup>使用 MOCVD 方法进行异质外延生长,制备了  $\delta$  掺杂的 n 型  $\text{Bi}_2\text{Te}_{3-x}\text{Se}_x$  超晶格薄膜,并研究了该薄膜的热电性能。结果发现,这种  $\delta$  掺杂可以在不影响电子迁移率的基础上增加载流子浓度,从而提高薄膜的热电性能,制备出的薄膜在 300 K 温度条件下 Seebeck 系数可达  $-276 \mu\text{V} \cdot \text{K}^{-1}$ 。在 CVD 过程中,除了通过微观结构调控提高薄膜的热电性能外,使用单元或多元前驱体调控沉积物的成分也是改善薄膜热电性能的途径之一。Newbrook 等<sup>[32]</sup>在采用 LPCVD 制备  $\text{Bi}_2\text{Te}_3$  热电薄膜的过程中,通过 Se 掺杂并调控其组分使得  $\text{Bi}_{\text{Te}}$  和  $\text{Se}_{\text{Te}}$  缺陷浓度增大,薄膜内部形成类施主效应,从而优化了薄膜的载流子浓度及迁移率,最终在 550 K 获得功率因子为  $7.6 \mu\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-2}$  的  $\text{Bi}_2\text{Te}_{3-x}\text{Se}_x$  薄膜材料。CVD 法具有成膜速率快、沉积面积大且均匀性优异等优点,通过调控沉积过程中的参数条件可实现对薄膜厚度和质量的精准控制,被认为是生长大面积薄膜最具前景的方法。然而,在使用 CVD 法制备薄膜材料时,通常采用的沉积温度较高,且容易产生环境污染、腐蚀等问题。

## 3 热电薄膜器件的制备与应用

近年来,随着物联网、可穿戴设备等领域的快速发展,微电子器件的自供电问题亟需解决,基于热电器件

的自供电模块是最有潜力的解决方案之一;此外,随着电子元器件性能越来越强,且集成度越来越高,对小空间的散热能力也提出了新的要求,热电薄膜制冷器件则非常适合于小空间快速制冷。本节将对常见的热电薄膜器件结构设计与制备方法、界面设计与优化以及在发电和制冷等领域的应用进行简要介绍。

### 3.1 热电薄膜器件结构设计与制备

热电器件一般由 n 型热电臂、p 型热电臂以及将它们连接起来的金属电极组成,器件冷热两端采用绝缘导热的材料进行封装,同时还可以作为基底起到支撑主体结构的作用。常见的热电薄膜器件可以根据热流方向与基底所在平面的关系分为面内型热电器件和面外型热电器件。

#### 3.1.1 面内型热电器件

面内型热电器件的热流方向与基底所在平面平行,与其他结构的器件相比,面内型器件的制备工艺相对简单。由于热电器件常用的  $\text{AlN}$ 、 $\text{Al}_2\text{O}_3$  等陶瓷基底热导率较高,不利于在面内型器件热电臂两端建立温差,因此通常将面内型热电器件制备到热导率较低的柔性衬底上。Hou 等<sup>[33]</sup>设计了一种仅由 p 型  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$ /环氧树脂材料与  $\text{Al}/\text{Cu}/\text{Ni}$  多层薄膜电极串联而成的面内型热电器件。该器件仅需将简单的印刷工艺与热压固化工艺相结合,即可在聚酰亚胺衬底上实现(0001)择优取向的热电材料图案化阵列的制备,再将该热电材料图案化阵列与热蒸发法制备的图案化电极进行集成即可制备出面内型热电器件。Yuan 等<sup>[34]</sup>设计了一种放射状结构面内型器件,通过丝网印刷工艺依次在聚酰亚胺衬底上印刷 p 型热电臂、n 型热电臂以及电极材料后加热固化即可成型该器件。此外,利用该制备方法简单、快速的优势,还可通过制作平面阵列或是进行空间堆叠来提高该器件的能量转换效率。为了提高热电材料的性能和图案化精度,Guo 等<sup>[35]</sup>利用 MS 结合光刻剥离工艺在  $30 \text{ mm} \times 30 \text{ mm}$  的聚酰亚胺基底上沉积了 30 对  $\text{Bi}_2\text{Te}_3$  和  $\text{Sb}_2\text{Te}_3$  热电臂,构建了径向分布的面内型热电薄膜器件,如图 6 所示。近年来,无需掩模的 3D 打印技术也被应用到面内型热电器件的制备中,这种工艺可大大减少器件的制备流程,且易于实现三维结构的构建。例如,Chen 等<sup>[36]</sup>使用喷墨打印技术,将 n 型  $\text{Bi}_2\text{Te}_3$  纳米线油墨和 p 型  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  纳米线油墨直接打印到聚酰亚胺衬底上制备热电臂,随后通过液态金属电极连接后即可制备出面内型柔性热电器件。

面内型热电薄膜器件的热电臂较长,制备相对容易,能够兼容目前已经非常成熟的集成电路制备工艺,且由于器件的热流沿面内传输,所以很容易建立起较大的温



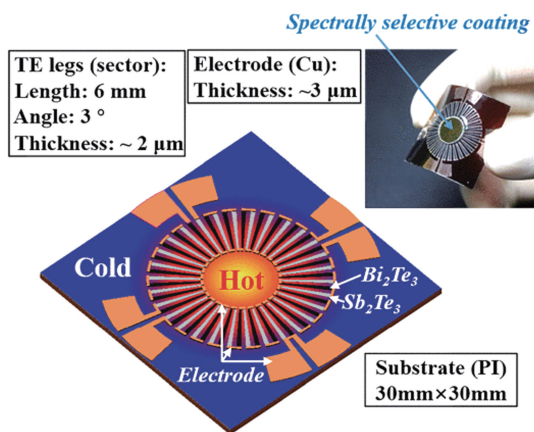


图 6 磁控溅射结合光刻剥离工艺制备的放射状面内热电薄膜器件<sup>[35]</sup>

Fig. 6 In-plane thin-film thermoelectric devices with radial structure fabricated by magnetron sputtering combined with lithography stripping process<sup>[35]</sup>

差。然而，面内型热电器件是通过薄膜来传输热量，薄膜横截面积小，导致器件的吸热面积小并且在热量传输的过程中很容易流失，因此面内型器件的热利用效率通常较差。此外，为了建立大的温差，这种结构的器件热电臂一般设计的较长，导致器件的内阻较大。以上原因使得面内型薄膜热电器件更适合作为红外传感器<sup>[37]</sup>、热流传感器<sup>[38]</sup>或温度传感器<sup>[39]</sup>等与热有关的物理量探测，而较少用在大功率发电或制冷等领域。

### 3.1.2 面外型热电器件

面外型热电器件的热流方向与基底所在的平面垂直，呈现出与传统商用块体热电器件类似的“π”型结构。与面内型热电器件相比，面外型热电器件制造难度大，对材料的热电性能以及器件的集成工艺要求也相对较高。对  $\text{Bi}_2\text{Te}_3$  基面外型热电薄膜器件来说，常见的制备方式主要是将第 2 节介绍的薄膜制备工艺与掩模法、光刻法、激光刻蚀法等图案化工艺相结合构成的类微机电系统加工工艺。例如，Tan 等<sup>[40]</sup>通过掩模板辅助 MS，在 AlN 基底上分别制备了 p 型  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  和 n 型  $\text{Bi}_2\text{Se}_{0.3}\text{Te}_{2.7}$  热电臂阵列。如图 7a 所示，在与 Cu 薄膜电极集成后，最终在 30 mm×30 mm 范围内构建了具有 98 对热电臂的面外型薄膜器件，在 4 K 温差下该器件输出电压可达 120.5 mV，输出功率为 145.2 μW，此外该器件在 160 mA 电流下还可产生 14.6 K 的最大温差。为了提高热电器件的输出功率，热电薄膜器件的阵列密度需进一步提高，传统硅基工艺中使用成熟的光刻法可以实现热电臂的高密度集成。Zhang 等<sup>[41]</sup>将电镀技术与光刻剥离法相结合，在 3 mm×3 mm 晶圆片上制备出由 127 对 n 型  $\text{Bi}_2\text{Te}_3$  和 p 型  $\text{Sb}_2\text{Te}_3$  热电臂组成的面外型热电器件。

该器件在 52.5 K 温差下最大输出功率可达 2.99 mW，功率密度达到  $9.2 \text{ mW} \cdot \text{cm}^{-2}$ 。Mu 等<sup>[42]</sup>采用光刻剥离法在直径为 76 mm 的单晶硅片上实现 46 000 对  $\text{Bi}_2\text{Te}_3$  基薄膜热电臂的集成。

然而，尽管光刻法的加工精度很高，但这种传统的硅基加工工艺不能完全兼容热电微器件的制备。这是因为，一方面硅晶圆片的热导率偏低，相比 AlN 会大大抑制器件的纵向传热。另一方面，高  $zT$  值的热电材料通常需要高温处理辅助结晶，而光刻胶难以承受高温，导致光刻剥离工艺与高性能热电材料制备工艺不兼容。此外，对热电器件来说，热电臂的尺寸精度控制在微米级即可满足使用要求，不需要达到光刻剥离工艺的纳米级精度。因此，近年来热电领域的研究人员发展了基于激光微加工工艺的新型热电薄膜器件制备工艺。例如，Yu 等<sup>[43]</sup>采用飞秒激光直写法，通过对激光能量的精确控制，在 10 mm×10 mm 的 AlN 基底上实现了 364 对热电臂的图案化加工(图 7b)，制备出的热电器件在 33.1 K 的温差下有着 494 mV 的输出电压和 0.514 mW 的输出功率。Zhou 等<sup>[44]</sup>在此基础上，使用超快激光直写技术在 10 mm×10 mm 范围内集成了 496 对热电臂，填充因子达到了 55%。

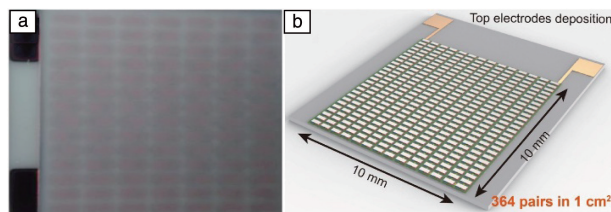


图 7 不同工艺制备的面外型  $\text{Bi}_2\text{Te}_3$  基热电薄膜器件：(a)掩模板辅助磁控溅射工艺制备的含有 98 对热电臂的热电薄膜器件<sup>[40]</sup>；(b)飞秒激光直写工艺制备的含有 364 对热电臂的热电薄膜器件<sup>[43]</sup>

Fig. 7 Out-plane  $\text{Bi}_2\text{Te}_3$  thin film thermoelectric devices prepared by different processes: (a) thin film thermoelectric device containing 98 pairs of thermoelectric legs prepared by mask assisted magnetron sputtering<sup>[40]</sup>; (b) thin film thermoelectric device containing 364 pairs of thermoelectric legs prepared by femto-second laser direct writing process<sup>[43]</sup>

面外型热电薄膜器件具有结构简单、热端面积大、热量利用率高等特点，因此具有较大的输出功率以及较高的转换效率。然而，对于薄膜器件来说，这种结构很难建立较大的温差，因此发电功率通常较低。且较低的内阻和微小的体积使该薄膜热电器件在小空间快速制冷和微小能源供应方面具有明显的优势。

### 3.2 热电薄膜器件界面设计与优化

影响热电薄膜器件性能的主要因素除了热电材料本

身的性能以及器件的结构设计外,器件各层界面的优化设计同样至关重要。随着热电器件的薄膜化,金属-半导体界面电输运性能对器件输出性能的影响将显著增加,甚至有可能导致热电器件失效。理论模拟计算表明,当界面的比接触电阻率达到  $10^{-5} \Omega \cdot \text{cm}^2$  量级时,可以获得良好的电接触;而当比接触电阻率达到  $10^{-7} \Omega \cdot \text{cm}^2$  量级时,可以完全忽略界面接触电阻对器件输出性能的影响<sup>[45]</sup>。目前,热电薄膜器件中的界面比接触电阻率普遍只能调节到  $10^{-5} \sim 10^{-6} \Omega \cdot \text{cm}^2$  量级<sup>[46-48]</sup>,要想进一步减小接触电阻对器件性能的影响,则需继续深入探索改善接触界面电性能的方法及背后的影响机理。此外,对于无需维护即可长期可靠运行的热电器件来说,其高温端的电极与热电材料之间的界面经常由于元素扩散<sup>[49]</sup>或者发生化学反应<sup>[50]</sup>而产生界面组分和结构的变化,使得器件界面电阻和热阻增加,造成器件发电或者制冷性能衰减。因此,从提高器件金属-半导体界面的电传输性能和可靠性两方面考虑,如何调节界面载流子运输、保证界面元素和结构稳定性是目前亟需解决的问题。

调控金属及半导体制备工艺、引入中间过渡层以及优化热电半导体表面结构是降低界面接触电阻,提高器件可靠性的常用手段。例如, Bulman 等<sup>[31]</sup>发现在半导体上电镀致密的金属,比直接蒸发制备疏松的金属更容易获得低接触电阻界面; Kong 等<sup>[51]</sup>通过控制本征热电半导体的定向生长,调节界面连接和晶格错配度,实现了有效导电接触区域的增大和表面耗尽区域宽度的减小,使得比接触电阻率可低至  $10^{-7} \Omega \cdot \text{cm}^2$  量级; Gupta 等<sup>[52]</sup>对  $\text{Bi}_2\text{Te}_3$  与 Ni 和 Co 接触界面进行等离子清洁和后退火处理,通过调节界面键合,使界面比接触电阻率小于  $10^{-7} \Omega \cdot \text{cm}^2$ 。引入金属作为中间过渡层,一方面可以从功函数匹配、晶格匹配、界面掺杂等方面调控界面电性能,另一方面还能通过热膨胀系数匹配、改善粘附性等角度控制应力,从而保证界面可靠性。例如, Qin 等<sup>[47]</sup>通过引入 Ti 过渡层并调控其厚度,可有效控制  $\text{Bi}_2\text{Te}_3/\text{Ti}/\text{Cu}$  界面的元素扩散,实现接触电阻的降低和界面稳定性的提升。此外,引入分子纳米层等高导电有机物也是降低界面接触电阻的新手段。Cardinal 等<sup>[53, 54]</sup>通过在  $\text{Cu}/\text{Bi}_2\text{Te}_3$  界面引入单层 1,8-辛二醇,抑制金属碲化物的形成和氧化,使界面比接触电阻率提高了 13 倍;随后,他们在  $\text{Cu}/\text{Bi}_2\text{Te}_3$  和  $\text{Ni}-\text{Bi}_2\text{Te}_3$  界面插入单层 3-巯基丙基三甲氧基硅烷,更有效地抑制了 Cu 扩散,促进了 Bi/Te 表面氧化物在  $\text{Ni}-\text{Bi}_2\text{Te}_3$  界面上的化学还原,使其比接触电导率提高了 17 倍。但分子纳米层在冷热交替的极端工作环境下的界面稳定性还有待进一步考量。从上述研究可以看出,半导体材料的表面态以及金属和半导体接触的界面态调控,

对界面的电性能有决定性的影响。

半导体表面改性的手段主要有等离子清洗、离子注入 2 种。等离子清洗可以去除半导体表面的氧化物杂质,增加薄膜粗糙度,增强界面的结合力,提升界面电传输性能。例如, He 等<sup>[55]</sup>通过  $\text{Ar}^+$  预溅射  $(\text{Bi}, \text{Sb})_2\text{Te}_3$  超晶格表面,使该表面与 Cr 涂层之间的界面粗糙度增加,通过控制界面形态调控接触电阻,且去除界面处的氧,增加直接接触面积,进一步降低了接触电阻,使比接触电阻率由  $10^{-6} \Omega \cdot \text{cm}^2$  (p 型接触) 和  $10^{-7} \Omega \cdot \text{cm}^2$  (n 型接触) 均降低至  $10^{-8} \Omega \cdot \text{cm}^2$ 。Zhu 等<sup>[46]</sup>采用  $\text{Ar}/\text{H}_2$  等离子体清洗增强了  $\text{Bi}_2\text{Te}_3/\text{Cu}$  界面结合力,使得界面临界负载从 44.25 提高到 52.05 mN。此外,通过离子注入对半导体表面进行重掺杂也是目前对半导体表面改性的重要方向。离子注入可以大幅提高半导体表面的载流子浓度,降低场致热电子发射机制主导的接触电阻,增强基于载流子隧穿效应的场发射机制,显著降低金属和半导体之间的接触电阻。例如, Taylor 等<sup>[56]</sup>将碘供体和银受体分别注入 n 型和 p 型  $(\text{Bi}, \text{Sb})_2(\text{Se}, \text{Te})_3$  表面,实现表面 10 倍高的掺杂,使得界面比接触电阻率可降低至  $10^{-7} \Omega \cdot \text{cm}^2$ 。Vikhov 等<sup>[50]</sup>建立了在  $\text{Bi}_2\text{Te}_3$  基热电臂与金属接触界面中元素扩散与界面电阻关系的物理模型,理论验证了表面离子注入降低界面接触电阻的可行性。但是,离子注入和等离子清洗都是采用高能粒子轰击半导体表面,特别是离子注入工艺,高能杂质离子注入到半导体晶体内部,会与晶格碰撞,不可避免地造成晶格损伤,导致半导体表面和内部产生大量缺陷。因此,虽然这 2 种方式可以增强表面载流子浓度,提升界面的电性能,但容易导致界面的可靠性下降,一般需要进行退火热处理才能消除高能粒子损伤带来的晶格缺陷<sup>[57]</sup>。

具有平整形貌、无缺陷的高质量半导体薄膜表面对于界面电传输性能和可靠性至关重要。Shen 等<sup>[58]</sup>的研究表明,具有高缺陷密度的本征半导体表面会导致由硫族元素空位引起的费米能级钉扎效应,只有高质量的半导体薄膜才有可能形成饱和和间隙态诱导的欧姆接触,进而获得较低的界面接触电阻。半导体的表面能和粗糙度会影响附着金属的形核模式和界面之间的范德华力<sup>[59]</sup>,从而显著影响接触界面的电性能<sup>[60, 61]</sup>。例如, Feng 等<sup>[62]</sup>发现金属 Ni 在高润湿  $\text{Bi}_2\text{Se}_3/\text{Te}_{3-y}$  表面呈层状生长,而在低润湿半导体表面呈现形核较差的岛状生长,因此光滑的无划痕表面可为获得较低的接触电阻提供基础。Zhang 等<sup>[63]</sup>通过调节结晶方式和生长取向来控制  $\text{Sb}_2\text{Te}_3$  半导体的表面能,改善金属的形核方式,使高表面能、低粗糙度的本征  $\text{Sb}_2\text{Te}_3$  薄膜与  $\text{Ni}/\text{Cu}$  金属紧密结合,比接触电阻率降低至  $8.2 \times 10^{-6} \Omega \cdot \text{cm}^2$ 。激光表面退火可以平整重



塑半导体表面结构<sup>[64]</sup>, 增强半导体表面的结晶性而不影响择优生长取向。例如, Joshi 等<sup>[65]</sup>在电镀金属前用激光表面退火对  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  进行表面处理, 使得热电材料表面在短时间内吸收高能光, 表面结构被平坦化重塑并减少缺陷, 这不仅增强了界面的电导率和热导率, 而且还提高了金属和热电材料之间的结合力。因此, 对热电半导体进行激光表面退火处理是一种有望大幅提高金属-半导体界面电传输性能和可靠性的手段, 但目前的相关研究还比较少。

综合来看, 热电薄膜器件中界面的结构设计和优化对于提升器件性能至关重要, 也是未来热电薄膜器件研究需关注的重点。

### 3.3 热电薄膜器件应用

#### 3.3.1 微能源采集

物联网和大数据时代的到来使得各种类型的微电子元器件需求量剧增, 这其中有大量的元器件功耗仅在毫瓦级甚至微瓦级, 传统使用电池或外接有线电源的供电方式需要消耗大量人力进行维护。与上述供电方式相比, 基于温差发电的热电器件具有体积小、免维护、可靠性高、无污染等优势, 非常适合作为低功耗元器件的供能方案。例如, Yu 等<sup>[43]</sup>针对物联网传感器自供电的需求, 利用超快激光微加工技术在  $1\text{ cm} \times 1\text{ cm}$  范围内集成了 364 对热电臂, 制备出的热电薄膜器件在 33.1 K 温差下输出电压可达 494 mV, 足以驱动商用电源管理器, 使得输出电压能稳定提升至 3.3 V, 可为压力传感器、计算器、二极管等低功耗器件供电(图 8a)。Zhang 等<sup>[41]</sup>使用脉冲电镀和微加工工艺, 将 127 对热电臂嵌入 SU-8 基体中, 通过自下而上的方式制备出的微型热电器件内阻仅约  $13\ \Omega$ , 较低的内阻和高集成密度使得该器件在 52.5 K 的温差下最大输出功率密度可达  $9.2\text{ mW} \cdot \text{cm}^{-2}$ , 可以用来

收集低品位废热为无线传感器网络提供动力。为了直接从自然环境中获得大温差, Zhu 等<sup>[66]</sup>利用菲涅尔透镜将太阳光汇聚至热电薄膜器件的热端, 同时在器件冷端集成热沉, 使得器件两端建立起大的温差。该装置在  $30\text{ mW} \cdot \text{cm}^{-2}$  的光照条件下可以产生 150 mV 的输出电压, 同时还具有最高  $4.89\text{ V} \cdot \text{cm}^{-2} \cdot \text{W}^{-1}$  的光敏感响应, 在自供电光传感领域具有广阔的应用前景。

近年来, 用于人体生命体征监测的可穿戴设备迅速发展, 利用人体体温与环境之间的温差为可穿戴设备供能的柔性热电薄膜器件也成为了研究人员重点关注的方向。例如, Zou 等<sup>[67]</sup>通过 MS 在聚酰亚胺衬底上制备的  $\text{Bi}_2\text{Te}_3$  和  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  薄膜, 即使以曲率半径 5 mm 弯曲 900 次后, 薄膜的电阻仍能保持基本不变。基于该薄膜制备的柔性热电薄膜器件, 在 44 K 的温差条件下, 输出功率密度可达  $218.8\ \mu\text{W} \cdot \text{cm}^{-2}$ , 在柔性可穿戴电子器件领域表现出良好的应用潜力。Wang 等<sup>[68]</sup>使用掩模辅助 MS 制备了  $\text{Bi}_2\text{Te}_3$  基柔性热电薄膜器件, 将该器件用聚二甲基硅氧烷/氮化硼高导热复合材料进行封装后与水凝胶散热器进行集成, 集成后的器件可利用人体体温与环境之间的温差, 最高输出 15.8 mV 的电压。将集成后热电器件与柔性压力传感器集成后开发的自供电可穿戴式压力传感系统(图 8b), 可用于人体脉搏信号的连续不断监测。为了满足可穿戴设备所需的可拉伸性和轻便性, Guo 等<sup>[69]</sup>受中国剪纸艺术的启发, 创新性地设计出一种含有三维剪纸结构的  $\text{Bi}_2\text{Te}_3$  柔性热电薄膜器件, 该器件仅重 29 mg, 在 36 K 温差下最大输出功率密度为  $255.395\ \mu\text{W} \cdot \text{g}^{-1}$ , 利用人体体温与环境的温差可实现 54 mV 的输出电压, 且特殊的剪纸结构使得该器件在弯曲、扭转等机械变形状态下仍能表现出良好的性能稳定性, 非常适合为可穿戴设备供能。

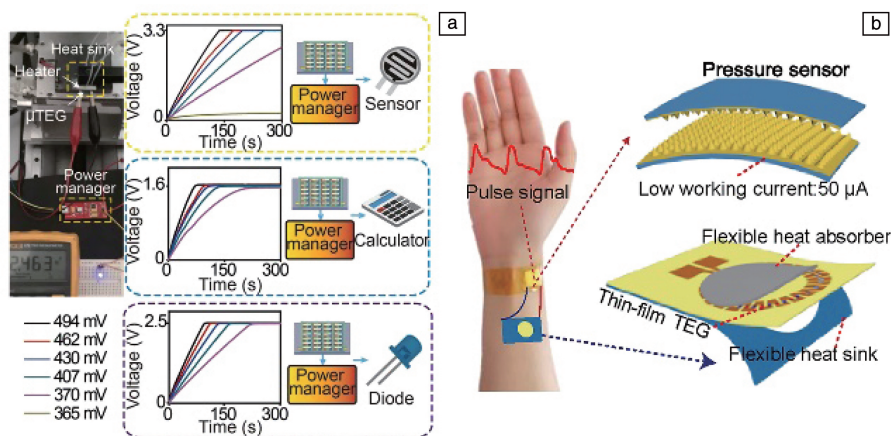


图 8 热电薄膜发电器件的应用: (a) 用于给压力传感器、计算器和二极管供电<sup>[43]</sup>, (b) 构建自供电可穿戴式压力传感系统<sup>[68]</sup>

Fig. 8 The application of thin-film thermoelectric generator device: (a) power supply for pressure sensor, calculator and diode<sup>[43]</sup>, (b) construct a self-powered wearable pressure sensing system<sup>[68]</sup>



### 3.3.2 快速制冷与精准控温

除了用于微能源采集给低功耗器件供电外, 基于 Peltier 效应的热电器件还可通过外加电流实现快速制冷和精准控温, 特别是对于薄膜型热电器件来说, 由于其体积小、制冷功率密度高, 十分适合小空间、高集成度、高热流密度的局部控温应用场景。例如, 2009 年, Chowdhury 等<sup>[70]</sup>将基于  $\text{Bi}_2\text{Te}_3$  基超晶格薄膜材料制成的热电器件进行封装后集成到硅芯片上, 对热流密度高达  $1300 \text{ W} \cdot \text{cm}^{-2}$  的目标区域实现了  $15^\circ\text{C}$  的降温, 这是将热电薄膜器件应用在芯片制冷领域的首次报道, 展现出其在该领域的巨大应用潜力。Saber 等<sup>[71]</sup>针对计算机芯片在使用过程中温度分布不均的问题, 在芯片表面的热点区域集成了热电制冷器件, 并通过理论计算结合实验验证的方式, 证明了该器件可以在总面积为  $15 \text{ mm} \times 15 \text{ mm}$ 、总发热功率为  $145 \text{ W}$  的芯片上实现  $3 \text{ mm} \times 3 \text{ mm}$  尺寸热点区域内  $277.8 \text{ W} \cdot \text{cm}^{-2}$  的制冷功率密度, 可将芯片热点区域的温度控制在要求的阈值范围内。Li 等<sup>[72]</sup>使用电化学沉积与光刻相结合的工艺在  $2 \text{ mm} \times 2 \text{ mm}$  尺寸范围内集成了 220 对热电臂, 集成密度高达  $5500 \text{ 对} \cdot \text{cm}^{-2}$ 。该器件在热电臂与电极之间无支撑材料的设计可有效减少使用过程中的内应力, 因此即使经过高达 1000 万次冷却循环和在恒定电流下服役超过 30 d, 器件仍能保持正常工作, 表现出极高的稳定性。

## 4 结 语

本文以  $\text{Bi}_2\text{Te}_3$  基热电薄膜材料与器件为主线, 对热电薄膜的制备方法、热电薄膜器件的设计制备与界面优化, 以及热电薄膜器件在微发电和快速制冷领域的应用等方面做了介绍。当前, 温室条件下  $\text{Bi}_2\text{Te}_3$  基热电薄膜热电优值已突破 2.0 的大关, 基于薄膜材料的热电薄膜器件性能也不断取得突破。然而, 要使热电薄膜器件能够实现大规模商用, 依然有以下问题亟需解决: ① 在材料方面, 目前的  $\text{Bi}_2\text{Te}_3$  基热电薄膜最佳性能温区较窄, 无法在宽温域范围内保持高热电性能, 需进一步优化其最佳性能温区; ②  $\text{Bi}_2\text{Te}_3$  基热电薄膜是各向异性的, 当前薄膜电导率和 Seebeck 系数等性能只能实现面内方向的准确测量, 然而在面外型器件工作过程中使用的是薄膜面外方向的性能, 因此亟需发展薄膜热电性能的面外表征手段; ③ 薄膜型热电器件体积小、集成度高, 加工集成工艺比块体器件要更为复杂, 特别是对于制冷器件来说, 要想获得好的制冷性能, 热电薄膜与电极间的键合工艺十分重要, 必须解决界面间的力学匹配和热学匹配问题; ④ 在服役条件下, 热电薄膜与电极之间会存在界面扩散的现象, 引起界面接触电阻的升高, 使器件的

性能衰减, 因此如何提高薄膜器件在服役条件下的性能稳定性也是亟需解决的问题。未来, 随着物联网、可穿戴设备领域的进一步发展, 用于小空间高热流密度电子器件快速散热以及实现低功耗传感器节点自供电的热电薄膜器件将具有迫切的应用需求和广泛的市场前景。

## 参考文献 References

- [1] SHI X L, ZOU J, CHEN Z G. Chemical Reviews[J], 2020, 120 (15): 7399–7515.
- [2] MAMUR H, BHUIYAN M R A, KORKMAZ F, *et al.* Renewable and Sustainable Energy Reviews[J], 2018, 82: 4159–4169.
- [3] QIN C, CHENG L X, XIAO Y W, *et al.* Materials Today Physics[J], 2021, 17: 100355.
- [4] ZHENG Z H, SHI X L, AO D W, *et al.* Nano Energy[J], 2021, 81: 105683.
- [5] XIA K Y, HU C L, FU C G, *et al.* Applied Physics Letters[J], 2021, 118(14): 140503.
- [6] MA Z, WEI J T, SONG P S, *et al.* Materials Science in Semiconductor Processing[J], 2021, 121: 105303.
- [7] ZHOU X Y, YAN Y C, LU X, *et al.* Materials Today[J], 2018, 21(9): 974–988.
- [8] YANG L, CHEN Z G, DARGUSCH M S, *et al.* Advanced Energy Materials[J], 2018, 8(6): 1701797.
- [9] HICKS L D, DRESSELHAUS M S. Physical Review B[J], 1993, 47(24): 16631–16634.
- [10] HICKS L D, DRESSELHAUS M S. Physical Review B[J], 1993, 47(19): 12727–12731.
- [11] VENKATASUBRAMANIAN R, SIVOLA E, COLPITTS T, *et al.* Nature[J], 2001, 413(6856): 597–602.
- [12] 郭涛, 李硕, 姚雅萱, 等. 材料导报[J], 2022, 36(4): 135–147.
- [12] GUO T, LI S, YAO Y X, *et al.* Materials Reports[J], 2022, 36(4): 135–147.
- [13] KONG D Y, ZHU W, GUO Z P, *et al.* Energy[J], 2019, 175: 292–299.
- [14] TAN M, SHI X L, LIU W D, *et al.* Advanced Energy Materials[J], 2021, 11(40): 2102578.
- [15] SHANG H J, GU H W, ZHONG Y, *et al.* Journal of Alloys and Compounds[J], 2017, 690: 851–855.
- [16] CAO L L, GAO H L, MIAO M. CrystEngComm[J], 2020, 22 (45): 7790–7793.
- [17] DENG Y, XIANG Y, SONG Y Z. Crystal Growth & Design[J], 2009, 9(7): 3079–3082.
- [18] TAN M, HAO Y M, DENG Y, *et al.* Applied Surface Science[J], 2018, 443: 11–17.
- [19] TAN M, LIU W D, SHI X L, *et al.* Small Methods[J], 2019, 3 (11): 1900582.
- [20] TAN M, LIU W D, SHI X L, *et al.* Nano Energy[J], 2020,

- 78: 105379.
- [21] LI S, FANG X C, LYU T, *et al.* *Materials Today Physics* [J], 2022, 27: 100764.
- [22] NETSOU A M, MUZYCHENKO D A, DAUSY H, *et al.* *ACS Nano* [J], 2020, 14(10): 13172–13179.
- [23] ZHANG M, LIU W, ZHANG C, *et al.* *Applied Physics Letters* [J], 2021, 118(10): 103901.
- [24] ZHANG M, LIU W, ZHANG C, *et al.* *Applied Physics Letters* [J], 2020, 117(15): 153902.
- [25] ZHANG M, LIU W, ZHANG C, *et al.* *ACS Nano* [J], 2021, 15(3): 5706–5714.
- [26] CHEN T H, LIN P Y, CHANG H C, *et al.* *Nanoscale* [J], 2017, 9(9): 3283–3292.
- [27] SYMEOU E, NICOLAOU C H, KYRATSI T H, *et al.* *Journal of Applied Physics* [J], 2019, 125(21): 215308.
- [28] WEI Z C, WANG C Y, ZHANG J Y, *et al.* *ACS Applied Materials & Interfaces* [J], 2020, 12(18): 20653–20663.
- [29] LIANG S J, ZHU H M, GE X, *et al.* *Surfaces and Interfaces* [J], 2021, 24: 101099.
- [30] WUDIL Y S, GONDAL M A, RAO S G, *et al.* *Materials Chemistry and Physics* [J], 2020, 253: 123321.
- [31] BULMAN G, BARLETTA P, LEWIS J, *et al.* *Nature Communications* [J], 2016, 7(1): 10302.
- [32] NEWBROOK D W, RICHARDS S P, GREENACRE V K, *et al.* *Journal of Alloys and Compounds* [J], 2020, 848: 156523.
- [33] HOU W K, NIE X L, ZHAO W Y, *et al.* *Nano Energy* [J], 2018, 50: 766–776.
- [34] YUAN Z C, TANG X B, XU Z H, *et al.* *Applied Energy* [J], 2018, 225: 746–754.
- [35] GUO Z P, ZHU W, YU Y D, *et al.* *IEEE Electron Device Letters* [J], 2019, 40(11): 1832–1835.
- [36] CHEN B L, KRUSE M, XU B, *et al.* *Nanoscale* [J], 2019, 11(12): 5222–5230.
- [37] ISLAM S, MISHRA J K, KUMAR A, *et al.* *Nanoscale* [J], 2019, 11(4): 1579–1586.
- [38] LIU Z P, LIU S H, ZHAO J X, *et al.* *Measurement* [J], 2022, 198: 111419.
- [39] KIM J H, CHOI J Y, BAE J M, *et al.* *Materials Transactions* [J], 2013, 54(4): 618–625.
- [40] TAN M, DENG Y, HAO Y M. *Energy* [J], 2014, 70: 143–148.
- [41] ZHANG W H, YANG J K, XU D Y. *Journal of Microelectromechanical Systems* [J], 2016, 25(4): 744–749.
- [42] MU E Z, WU Z H, WU Z M, *et al.* *Nano Energy* [J], 2019, 55: 494–500.
- [43] YU Y D, GUO Z P, ZHU W, *et al.* *Nano Energy* [J], 2022, 93: 106818.
- [44] ZHOU J, ZHU W, XIE Y J, *et al.* *ACS Applied Materials & Interfaces* [J], 2022, 14(2): 3066–3075.
- [45] EL OUALID S, KOSIOR F, DAUSCHER A, *et al.* *Energy & Environmental Science* [J], 2020, 13(10): 3579–3591.
- [46] ZHU X D, CAO L L, ZHU W, *et al.* *Advanced Materials Interfaces* [J], 2018, 5(23): 1801279.
- [47] QIN D L, ZHU W, HAI F X, *et al.* *Advanced Materials Interfaces* [J], 2019, 6(20): 1900682.
- [48] GUO J Y, FAN W H, WANG Y N, *et al.* *Journal of Alloys and Compounds* [J], 2021, 886: 161242.
- [49] ZHOU H Y, MU X, ZHAO W Y, *et al.* *Nano Energy* [J], 2017, 40: 274–281.
- [50] VIKHOR L M, ANATYCHUK L I, GORSKYI P V. *Journal of Applied Physics* [J], 2019, 126(16): 164503.
- [51] KONG X X, ZHU W, CAO L L, *et al.* *ACS Applied Materials & Interfaces* [J], 2017, 9(30): 25606–25614.
- [52] GUPTA R P, XIONG K, WHITE J B, *et al.* *Journal of the Electrochemical Society* [J], 2010, 157(6): H666–H670.
- [53] CARDINAL T, DEVENDER, BORCA-TASCIUC T, *et al.* *ACS Applied Materials & Interfaces* [J], 2016, 8(7): 4275–4279.
- [54] CARDINAL T, KWAN M, BORCA-TASCIUC T, *et al.* *ACS Applied Materials & Interfaces* [J], 2017, 9(3): 2001–2005.
- [55] HE Y P, LÉONARD F, MEDLIN D L, *et al.* *Advanced Electronic Materials* [J], 2018, 4(3): 1700381.
- [56] TAYLOR P J, MADDUX J R, MEISSNER G, *et al.* *Applied Physics Letters* [J], 2013, 103(4): 043902.
- [57] 祝方舟, 卞剑涛, 刘正新. *太阳能学报* [J], 2019, 40(6): 1583–1588.
- ZHU F Z, BIAN J T, LIU Z X. *Acta Energiae Solaris Sinica* [J], 2019, 40(6): 1583–1588.
- [58] SHEN P C, SU C, LIN Y X, *et al.* *Nature* [J], 2021, 593(7858): 211–217.
- [59] ZHANG H, HOLBROOK M, CHENG F, *et al.* *ACS Nano* [J], 2021, 15(2): 2497–2505.
- [60] LIU H W, LI D, MA C, *et al.* *Nano Energy* [J], 2019, 59: 66–74.
- [61] LIU Y Y, STRADINS P, WEI S H. *Science Advances* [J], 2016, 2(4): e1600069.
- [62] FENG H P, YU B, CHEN S, *et al.* *Electrochimica Acta* [J], 2011, 56(8): 3079–3084.
- [63] ZHANG B H, ZHU W, CAO L L, *et al.* *ACS Applied Materials & Interfaces* [J], 2022, 14(8): 10955–10965.
- [64] SARTORI A F, ORLANDO S, BELLUCCI A, *et al.* *ACS Applied Materials & Interfaces* [J], 2018, 10(49): 43236–43251.
- [65] JOSHI G, MITCHELL D, RUEDIN J, *et al.* *Journal of Materials Chemistry C* [J], 2019, 7(3): 479–483.
- [66] ZHU W, DENG Y, CAO L. *Nano Energy* [J], 2017, 34: 463–471.
- [67] ZOU Q, SHANG H J, HUANG D X, *et al.* *Applied Physics Letters* [J], 2022, 120(2): 023903.
- [68] WANG Y L, ZHU W, DENG Y, *et al.* *Nano Energy* [J], 2020, 73: 104773.

- 
- [69] GUO Z P, YU Y D, ZHU W, *et al.* Advanced Energy Materials [J], 2022, 12(5): 2102993.
- [70] CHOWDHURY I, PRASHER R, LOFGREEN K, *et al.* Nature Nanotechnology[J], 2009, 4(4): 235–238.
- [71] SABER H H, ALSHEHRI S A, MAREF W. Energy Conversion and Management[J], 2019, 191: 174–192.
- [72] LI G D, GARCIA FERNANDEZ J, LARA RAMOS D A, *et al.* Nature Electronics[J], 2018, 1(10): 555–561.
- (编辑 费蒙飞)